

(2) Japanese Patent Application Laid-Open No. 2002-252333 (2002)

"SEMICONDUCTOR DEVICE"

The following is an English translation of an extract of the above application.

5 It is an object of the present invention to improve an amount of misoperation resistance with respect to a negative variation of a high-voltage side floating offset voltage in a semiconductor device having a driver circuit for driving a power device such as an inverter and a level shift circuit.

A misoperation or a latchup of the semiconductor device occurs due to a forward 10 current arising from a turn-on of a parasitic diode by a negative variation of the high-voltage side floating offset voltage or a subsequent reverse recovery current. That is to say, it becomes possible to improve the amount of misoperation resistance of the 15 semiconductor device by suppressing a current passing through the parasitic diode. In the Figure in the front page, a reference number 1a shows the current-voltage characteristics of the parasitic diode of the semiconductor device according to the present invention to which an electron beam irradiation and annealing are performed, and a reference number 1b shows the current-voltage characteristics of the parasitic diode of a conventional semiconductor device. The electron beam irradiation and annealing are performed to the semiconductor 20 device, thereby shortening the lifetime, or a resistance is inserting in series with the parasitic diode, so that the current passing through the parasitic diode is suppressed.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-252333

(P2002-252333A)

(43)公開日 平成14年9月6日(2002.9.6)

(51)Int.Cl.
H 01 L 27/04
21/822
21/8234
27/06

識別記号

F I
H 01 L 27/04
27/06

テマコード(参考)
H 5 F 0 3 8
1 0 2 A 5 F 0 4 8

審査請求 未請求 請求項の数8 OL (全 11 頁)

(21)出願番号 特願2001-51912(P2001-51912)

(22)出願日 平成13年2月27日(2001.2.27)

(71)出願人 000006013

三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 渡部 裕代登
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

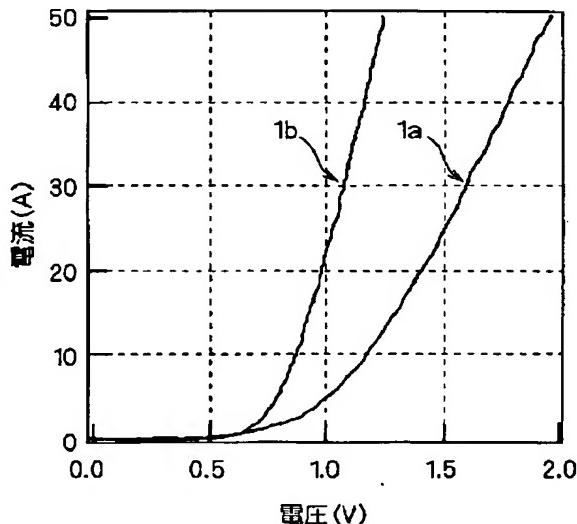
(74)代理人 100089233
弁理士 吉田 茂明 (外2名)
F ターム(参考) 5F038 AV04 AV06 BH02 BH04 BH18
BH19 EZ11 EZ20
5F048 AA05 AC03 AC06 BA07 BC03
BC07 BC18 BE04 BF17 BH01

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 インバータ等のパワーデバイスを駆動する、駆動回路およびレベルシフト回路を有する半導体装置において、高圧側浮遊オフセット電圧の負変動に対する誤動作耐量を向上させる。

【解決手段】 高圧側浮遊オフセット電圧の負変動による寄生ダイオードのターンオンに伴う順電流、あるいはその後の逆回復電流により、半導体装置の誤動作やラッチアップが生じる。言い換えれば、寄生ダイオードを流れる電流を抑えることにより半導体装置の誤動作耐量を向上することができる。1aは電子線照射およびアニール処理を施した本発明に係る半導体装置の寄生ダイオードの電流-電圧特性であり、1bは従来の半導体装置の寄生ダイオードの電流-電圧特性である。半導体装置に電子線照射およびアニール処理をすることによりライフトайムを短くする、あるいは寄生ダイオードに直列に抵抗を挿入することにより寄生ダイオードを流れる電流を抑える。



【特許請求の範囲】

【請求項1】 第1のスイッチング素子とそのゲート電位設定用の第1の抵抗を有し、外部の電力変換器に駆動信号を出力する駆動回路と、

第2のスイッチング素子を有し、前記駆動回路の前記第1のスイッチング素子に制御信号を出し、前記駆動回路と接合分離されたレベルシフト回路とを備え、

電子線照射およびアニールにより、ライフタイムが抑制されている、ことを特徴とする半導体装置。

【請求項2】 第1のスイッチング素子とそのゲート電位設定用の第1の抵抗を有し、外部の電力変換器に駆動信号を出力する駆動回路と、

第2のスイッチング素子を有し、前記駆動回路の前記第1のスイッチング素子に制御信号を出し、前記駆動回路と接合分離されたレベルシフト回路と、

前記駆動回路を取り囲むシールド配線とを備え、前記シールド配線が複数個に分割されている、ことを特徴とする半導体装置。

【請求項3】 第1のスイッチング素子とそのゲート電位設定用の第1の抵抗を有し、外部の電力変換器に駆動信号を出力する駆動回路と、

第2のスイッチング素子を有し、前記駆動回路の前記第1のスイッチング素子に制御信号を出し、前記駆動回路と接合分離されたレベルシフト回路とを備え、

前記接合分離におけるpn接合によって形成される寄生ダイオードに直列に第2の抵抗が挿入されている、ことを特徴とする半導体装置。

【請求項4】 第1のスイッチング素子とそのゲート電位設定用の第1の抵抗を有し、外部の電力変換器に駆動信号を出力する駆動回路と、

第2のスイッチング素子を有し、前記駆動回路の前記第1のスイッチング素子に制御信号を出し、前記駆動回路と接合分離されたレベルシフト回路と、

前記駆動回路の電源を供給するためのダイオードとを備え、

前記ダイオードのアノードであるpウェル内にp+拡散層を有さないことでアノード濃度を抑え、前記ダイオードを流れる電流が抑えられている、ことを特徴とする半導体装置。

【請求項5】 第1のスイッチング素子とそのゲート電位設定用の第1の抵抗を有し、外部の電力変換器に駆動信号を出力する駆動回路と、

第2のスイッチング素子を有し、前記駆動回路の前記第1のスイッチング素子に制御信号を出し、前記駆動回路と接合分離されたレベルシフト回路と、

前記駆動回路の電源を供給するためのダイオードとを備え、前記ダイオードに直列に第3の抵抗が挿入されている、ことを特徴とする半導体装置。

【請求項6】 請求項2、請求項3、請求項4、請求項5のいずれかに記載の半導体装置であって、さらに、

電子線照射およびアニールにより、ライフタイムが抑制されている、ことを特徴とする半導体装置。

【請求項7】 請求項3、請求項4、請求項5、請求項6のいずれかに記載の半導体装置であって、さらに、前記駆動回路を取り囲むシールド配線を備え、前記シールド配線が複数個に分割されている、ことを特徴とする半導体装置。

【請求項8】 請求項4、請求項5、請求項6、請求項7のいずれかに記載の半導体装置であって、さらに、前記接合分離におけるpn接合によって形成される寄生ダイオードに直列に第4の抵抗が挿入されている、ことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、インバータ等のパワーデバイスを駆動する半導体装置に関するものであって、特にその誤動作耐量の向上を図るための技術に関するものである。

【0002】

【従来の技術】 図6は従来のパワーデバイスおよびパワーデバイス駆動装置の構成を説明するための概略構成図である。この図において、Q1およびQ2はパワースイッチングデバイスであるNチャネル絶縁ゲート型バイポーラトランジスタであり、主電源である高電圧HVをスイッチングする。ノードN30には負荷が接続されており、D1、D2はそれぞれ、ノードN30に接続された負荷による逆起電圧からNチャネル絶縁ゲート型バイポーラトランジスタQ1およびQ2を保護するためのフリーホールダイオードである。

【0003】 100はパワースイッチングデバイスQ1、Q2を駆動するパワーデバイス駆動装置であり、高圧側パワースイッチングデバイスQ1を制御する高圧側制御入力HINおよび低圧側パワースイッチングデバイスQ2を制御する低圧側制御入力LINに従い動作する。パワーデバイス駆動装置100はさらに、高圧側パワースイッチングデバイスQ1を駆動する高圧側駆動部101、低圧側パワースイッチングデバイスQ2を駆動する低圧側駆動部102、制御入力処理部103を有している。

【0004】 ここで、例えばパワースイッチングデバイスQ1、Q2が同時にオン状態になった場合、Q1およびQ2に貫通電流が流れ、負荷に電流が流れなくなり、好ましくない状態になる。制御入力処理部103は制御入力HINおよびLINにより、そのような状態が引き起こされるの防ぐなどの処理を制御入力HINおよびLINに対して行っている。

【0005】 HOは高圧側駆動部101による高圧側駆動信号出力であり、パワースイッチングデバイスQ1の制御端子に接続される。同様にLOは低圧側駆動部102による低圧側駆動信号出力であり、パワースイッチ

グデバイスQ2の制御端子に接続される。

【0006】VCCは低圧側駆動部102の電源となる低圧側固定供給電圧であり、低圧側固定供給電源（図示せず）より供給される。VSは高圧側駆動部101の基準電位となる高圧側浮遊オフセット電圧である。また、VBは高圧側駆動部101に電源となる高圧側浮遊供給絶対電圧であり、高圧側浮遊電源（図示せず）により供給される。GNDは接地電位、COMは共通接地である。図6のように共通接地COM、高圧側浮遊オフセット電圧VSはそれぞれ、Nチャネル絶縁ゲート型バイポーラトランジスタQ1、Q2のエミッタ端子接続される。

【0007】また、高圧側浮遊供給絶対電圧VB、高圧側浮遊オフセット電圧VS間および、共通接地COM、低圧側固定供給電圧VCC間には、高圧側駆動部101および低圧側駆動部102に供給される電源電圧をパワーデバイスの動作に伴う電位変動に追随させるために、コンデンサC1、C2が接続されている。

【0008】以上のような構成により、制御入力HI N、LINに基づくパワーデバイスによる主電源のスイッチングが行われる。

【0009】ところで、高圧側駆動部101は、回路の接地電位に対して電位的に浮いた状態で動作するので、高圧側回路へ駆動信号を伝達するためのレベルシフト回路を有する構成となっている。

【0010】図7は従来のパワーデバイス駆動装置における高圧側駆動部の主要部の回路図である。この図においてVB、HO、VS、GNDの符号で示した要素はそれぞれ、図6において同符号で示した高圧側浮遊供給絶対電圧VB、高圧側駆動信号出力HO、高圧側浮遊オフセット電圧VS、接地電位GNDに対応している。11はスイッチング素子である高耐圧MOSであり、上記したレベルシフト回路の役割を担っている。12はPMOSトランジスタおよびNMOSトランジスタからなり、高圧側駆動信号を出力するスイッチング素子である高圧側駆動信号出力用CMOSである。13は高圧側駆動信号出力用CMOS12のそのゲート電位を設定するためのレベルシフト抵抗であり、プルアップ抵抗に相当する役割を果たしている。

【0011】高耐圧MOS11は、高圧側制御入力LINに従い高圧側駆動信号出力用CMOS12のスイッチングを行う。高圧側駆動信号出力用CMOS12は高圧側浮遊供給絶対電圧VB、高圧側浮遊オフセット電圧VS間の電圧をスイッチングして高圧側駆動信号出力HOに駆動信号を出力し、外部のパワーデバイスの高圧側スイッチング素子を駆動させる。

【0012】ここで、以降の説明において高圧側駆動信号出力用CMOS12とレベルシフト抵抗13を総合して、高圧側駆動回路と称する。

【0013】図8は従来のパワーデバイス駆動装置にお

ける高圧側駆動部のレベルシフト回路および高圧側駆動回路の断面図である。この図において、図6および図7に示したものと同等の要素には同符号を付して示しており、ここでの詳細な説明は省略する。図8において21はp基板、22、23はn-層、24はp+拡散層である。高耐圧MOS11を囲むp+拡散層24はp基板21に達している。そしてp基板21の電位は回路上最も低い電位（GNDまたはCOM電位）にすることで、高耐圧MOS11を接合分離している。また、高耐圧MOS11のソース電極40およびゲート電極41の下部にpウェル25が形成され、ゲート絶縁膜を介してゲート電極40の下部に達し高耐圧MOS11のチャネル領域を形成している。さらにpウェル25内には、ソース電極40に接するようにp+領域26およびn+ソース領域27が形成されている。また、高耐圧MOS11のドレイン電極42に接するようにn+ドレイン領域28が形成されている。

【0014】高耐圧MOS11のドレイン端子は高圧側駆動信号出力用CMOS12のPMOSトランジスタおよびNMOSトランジスタのゲート端子に接続しており、またレベルシフト抵抗13を介してPMOSトランジスタのソース端子および高圧側浮遊供給絶対電圧VBに接続している。

【0015】一方、高圧側駆動信号出力用CMOS12が形成されるn-層23内には、PMOSトランジスタのソース電極43に接するようにn+領域29およびp+ソース領域30が形成され、ドレイン電極45と接するようにp+ドレイン領域31が形成されている。44はPMOSのゲート電極である。また、高圧側駆動信号出力用CMOS12のNMOSトランジスタは、pウェル32内に形成され、NMOSのドレイン電極46に接するようにn+ドレイン領域32、ソース電極48に接するようにn+ソース領域34およびp+35がそれれ形成されている。

【0016】また、36はアルミ配線である。一般に、高圧側駆動信号出力用CMOS12およびレベルシフト抵抗13からなる高圧側駆動回路は高圧島として、その周りを基板電位のアルミ配線で囲むことでシールドする。図9は従来のパワーデバイス駆動装置における高圧島に設けられるアルミ配線36のレイアウトを示す平面図である。この図に示すように、アルミ配線36は高圧島を取り囲むようにレイアウトされ、さらに接地電位GNDにコンタクトされている。

【0017】なお、図8のpウェル25内のp+領域38はアルミ配線36とpウェル25とのコンタクト抵抗を低減させるためのものであり、39はフィールドブレートである。

【0018】以上のような構成により、図7に示した、レベルシフト回路および高圧側駆動回路が形成される。

【0019】

【発明が解決しようとする課題】図6に示したパワーデバイスおよびパワーデバイス駆動装置において、回生期間すなわちノードN30に接続された負荷からの逆起電圧によりフリー・ホイール・ダイオードD1がオンする間に、高圧側浮遊オフセット電圧VSが共通接地COMよりも低い電位になる可能性がある。この高圧側浮遊オフセット電圧VSの負変動は、コンデンサC1を介して、高圧側浮遊供給絶対電圧VBに伝達され、高圧側浮遊供給絶対電圧VBの電位も負変動してしまう。

【0020】高圧側浮遊供給絶対電圧VBが負変動すると、図8において、その負変動はn-層22、23に伝達され、通常は逆バイアスされているはずの、高耐圧MOS11内のpウェル25とn-層22の間の寄生ダイオード（ボディー・ドレインダイオード）や、高圧側駆動信号出力用CMOS12内のpウェル25とn-層23の間の寄生ダイオードがターンオンしてしまう。なお以下の説明において、この高圧側駆動信号出力用CMOS12内のpウェル25とn-層23の間の寄生ダイオードを、便宜上、CMOS寄生ダイオードと称する。

【0021】高耐圧MOSのボディー・ドレインダイオードからの電流はレベルシフト抵抗13を通じて、高圧側浮遊供給絶対電圧VBに流れ込む。そのとき高耐圧MOS11の出力信号、すなわち高圧側駆動信号出力用CMOS12が受ける駆動信号は“H”レベルを保持しており、高圧側駆動信号出力用CMOS12の高圧側駆動信号出力HOは“L”レベルとなっている。

【0022】その後、高圧側浮遊オフセット電圧VSの負変動が消滅すると、同じく高圧側浮遊供給絶対電圧VBの電位も上がり、再びボディー・ドレインダイオードに逆バイアスが印加され、高圧側浮遊供給絶対電圧VBからレベルシフト抵抗を通じ、ボディー・ドレインダイオードの逆回復電流が流れる。この逆回復電流によりレベルシフト抵抗に生じる電圧降下によって、高圧側駆動信号出力用CMOS12のゲート電位が論理閾値よりも低くなると高圧側駆動信号出力HOが“H”レベルに切り替わってしまう。

【0023】つまり、図6に示したパワースイッチングデバイスQ1、Q2が共にオン状態となることとなり、パワースイッチングデバイスQ1、Q2に貫通電流が流れ、負荷に電流が流れなくなるという好ましくない状態となる。

【0024】一方、CMOS寄生ダイオードがターンオンすると、n-層23内に電流が流れ込む。高圧側駆動信号出力用CMOS12は、p+領域30、n-層23、pウェル32、n+領域34のpnpn構造に起因する寄生サイリスタを有しており、CMOS寄生ダイオードからn-層23内に流れこんだ電流は、高圧側駆動信号出力用CMOS12をラッチアップさせるトリガーエネルギーとして働いてしまう。このラッチアップが生じると

高圧側駆動信号出力用CMOS12に過大な電流が流れ、場合によっては回路あるいは部品が損傷することになる。

【0025】ところで、図6に示したパワーデバイス駆動装置において、さらに高圧ダイオードを、アノードが低圧側固定供給電圧VCC、カソードが高圧側浮遊供給絶対電圧VBとなるように接続し、コンデンサC1に容量を大きいものを用いることで、低圧側パワースイッチングデバイスQ2がオンするときに高圧ダイオードを通じてコンデンサC1を充電させ、高圧側浮遊供給絶対電圧VBを供給していた高圧側浮遊電源を不要にすることができます。一般にこのダイオードをブーストストラップダイオードという。

【0026】図10は従来のパワーデバイス駆動装置のブーストストラップダイオードに用いられる高圧ダイオードの断面図である。この図においてp型基板21上のn-層53は、p+拡散層24によって高圧島および高耐圧MOS22と接合分離されている。50はアノード電極であり、pウェル54および、その内部のp+領域55によって高圧ダイオードのアノードが形成されている。また、52はカソード電極であり、n-層53およびn+領域56によって高圧ダイオードのカソードが形成されている。

【0027】しかし、この高圧ダイオードをブーストストラップダイオードとしてパワーデバイス駆動装置に搭載する場合、高圧ダイオードのアノード電位は低圧側固定供給電圧VCCであるため、高圧側浮遊オフセット電圧VSのわずかな負変動によってもターンオンし、高圧島内に電流が注入される。そのため、高圧側浮遊供給絶対電圧VBに独立した電源を用いる場合に比べて、高圧側駆動信号出力用CMOS12のラッチアップ耐量が低下し、結果としてパワーデバイス駆動装置の高圧側浮遊オフセット電圧VSの負変動に対する誤動作耐量が低下するという問題が生じる。

【0028】本発明は以上のような問題を解決するためになされたものであり、本発明の第1の目的は、パワーデバイスを駆動する半導体装置における、高圧側浮遊オフセット電圧VSの負変動に対する誤動作耐量の高い半導体装置を提供することである。また、第2の目的は、ブーストストラップダイオードを搭載し、かつ、パワーデバイスを駆動する半導体装置における、高圧側浮遊オフセット電圧VSの負変動に対する誤動作耐量の高い半導体装置を提供することである。

【0029】

【課題を解決するための手段】請求項1に記載の半導体装置は、第1のスイッチング素子とそのゲート電位設定用の第1の抵抗を有し、外部の電力変換器に駆動信号を出力する駆動回路と、第2のスイッチング素子を有し、前記駆動回路の前記第1のスイッチング素子に制御信号を出力し、前記駆動回路と接合分離されたレベルシフト

回路とを備え、電子線照射およびアニールにより、ライフタイムが抑制されていることを特徴とする。

【0030】請求項2に記載の半導体装置は、第1のスイッチング素子とそのゲート電位設定用の第1の抵抗を有し、外部の電力変換器に駆動信号を出力する駆動回路と、第2のスイッチング素子を有し、前記駆動回路の前記第1のスイッチング素子に制御信号を出力し、前記駆動回路と接合分離されたレベルシフト回路と、前記駆動回路を取り囲むシールド配線とを備え、前記シールド配線が複数個に分割されていることを特徴とする。

【0031】請求項3に記載の半導体装置は、第1のスイッチング素子とそのゲート電位設定用の第1の抵抗を有し、外部の電力変換器に駆動信号を出力する駆動回路と、第2のスイッチング素子を有し、前記駆動回路の前記第1のスイッチング素子に制御信号を出力し、前記駆動回路と接合分離されたレベルシフト回路と、前記駆動回路を取り囲むシールド配線とを備え、前記シールド配線が複数個に分割されていることを特徴とする。

【0032】請求項4に記載の半導体装置は、第1のスイッチング素子とそのゲート電位設定用の第1の抵抗を有し、外部の電力変換器に駆動信号を出力する駆動回路と、第2のスイッチング素子を有し、前記駆動回路の前記第1のスイッチング素子に制御信号を出力し、前記駆動回路と接合分離されたレベルシフト回路と、前記駆動回路の電源を供給するためのダイオードとを備え、前記ダイオードのアノードであるpウェル内にp+拡散層を有さないことでアノード濃度を抑え、前記ダイオードを流れる電流が抑えられていることを特徴とする。

【0033】請求項5に記載の半導体装置は、第1のスイッチング素子とそのゲート電位設定用の第1の抵抗を有し、外部の電力変換器に駆動信号を出力する駆動回路と、第2のスイッチング素子を有し、前記駆動回路の前記第1のスイッチング素子に制御信号を出力し、前記駆動回路と接合分離されたレベルシフト回路と、前記駆動回路の電源を供給するためのダイオードとを備え、前記ダイオードに直列に第3の抵抗が挿入されていることを特徴とする。

【0034】請求項6に記載の半導体装置は、請求項2、請求項3、請求項4、請求項5のいずれかに記載の半導体装置であって、さらに、電子線照射およびアニールにより、ライフタイムが抑制されていることを特徴とする。

【0035】請求項7に記載の半導体装置は、請求項3、請求項4、請求項5、請求項6のいずれかに記載の半導体装置であって、さらに、前記駆動回路を取り囲むシールド配線を備え、前記シールド配線が複数個に分割されていることを特徴とする。

【0036】請求項8に記載の半導体装置は、請求項4、請求項5、請求項6、請求項7のいずれかに記載の

半導体装置であって、さらに、前記接合分離におけるpn接合によって形成される寄生ダイオードに直列に第4の抵抗が挿入されていることを特徴とする。

【0037】

【発明の実施の形態】<実施の形態1>上述したように、図8に示した半導体装置、即ちパワーデバイス駆動装置において、高圧側浮遊オフセット電圧VSの負変動が生じると、通常は逆バイアスされているはずの高耐圧MOS11内のpウェル25とn-層22の間の寄生ダイオード（ボディー・ドレインダイオード）がターンオンする。そして、高圧側浮遊オフセット電圧VSの負変動が消滅し、再びボディー・ドレインダイオードに順バイアスが印加されたときの逆回復電流が、レベルシフト抵抗において電圧降下を引き起こす。この電圧降下により、高圧側駆動信号出力用CMOS12のゲート電位が論理閾値よりも低くなると高圧側駆動信号出力HOが“H”レベルに切り替わってしまい、誤動作が生じる。つまり、ボディー・ドレインダイオードの逆回復電流が装置の誤動作を引き起こす原因となっている。

20 【0038】よって、このボディー・ドレインダイオードの逆回復電流の大きさを抑え、さらに、その逆回復電流が流れる時間（逆回復時間）を短く抑えることが、パワーデバイス駆動装置の高圧側浮遊オフセット電圧VSの負変動に対する誤動作耐量の向上させるために有効である。

【0039】また、逆回復電流の大きさおよび逆回復時間はそのデバイス内部に蓄積されるキャリアの量およびライフタイムに強く依存する。つまり、ボディー・ドレインダイオードの内部に蓄積されるキャリアの量を少なく抑え、ライフタイムを短くすることにより、パワーデバイス駆動装置の高圧側浮遊オフセット電圧VSの負変動に対する誤動作耐量を向上させることができる。

【0040】本発明の実施の形態1に係る半導体装置は、電子線を照射した後さらにアニールを施すことによって、キャリアのライフタイムが抑えられたパワーデバイス駆動装置である。

【0041】つまり、本実施の形態において、半導体装置のライフタイムの制御は電子線照射を利用している。電子線を用いることによって、そのライフタイムの制御の処理はウェハプロセス後に行うことができるで生産設備への汚染の心配が無く、さらに、ドーズ量によってライフタイムを容易にコントロールできるのでトリミングが容易であるという利点がある。ただし、電子線照射のみでは、半導体装置を構成するデバイスが機能しないため、アニール（例えば340°C、60分）も施している。

【0042】図1は実施の形態1に係る半導体装置のボディー・ドレインダイオードと従来の半導体装置のボディー・ドレインダイオードの順バイアス時における電流-電圧特性を比較するための図である。この図におい

て、1aは実施の形態1に係る電子線照射およびアニール後の半導体装置のボディー・ドレインダイオードの電流-電圧特性であり、1bは従来の半導体装置のボディー・ドレインダイオードの電流-電圧特性である。この図に示すように、本実施の形態に係る半導体装置のボディー・ドレインダイオードは従来のものに比べて、ライフタイムが短く抑制されているためにダイオード中に蓄積されるキャリアの量が抑えられ、その結果順電流が小さくなっている。よって、本実施の形態に係る半導体装置のボディー・ドレインダイオードは逆回復電流が抑えられることが予想される。

【0043】そして、図2は実施の形態1に係る半導体装置のボディー・ドレインダイオードと従来の半導体装置のボディー・ドレインダイオードの逆回復電流特性を比較するための図である。この図において、2aは実施の形態1に係る電子線照射およびアニール後の半導体装置のボディー・ドレインダイオードの逆回復電流特性であり、2bは従来の半導体装置のボディー・ドレインダイオードの逆回復電流特性である。この図に示すように、本実施の形態に係る半導体装置のボディー・ドレインダイオードは従来のものに比べて、上記図1に示したように順電流が抑えられているので、予想されたとおり逆回復電流の大きさ(ピーク値)が小さくなっている。また、ライフタイムが抑えられることによって、逆回復時間も短くなっていることが分かる。

【0044】このように、本実施の形態に係る半導体装置のボディー・ドレインダイオードは逆回復電流の大きさ小さく、かつ、逆回復時間が短いので、上述したボディー・ドレインダイオードの逆回復電流により引き起こされる誤動作を抑えることができる。

【0045】ところで、電子線照射およびアニールによるライフタイムを抑える処理は、ボディー・ドレインダイオードだけでなく、図8における高圧側駆動信号出力用CMOS12内のpウェル25とn-層23の間の寄生ダイオード(CMOS寄生ダイオード)に対しても有効である。

【0046】前述したように、高圧側浮遊オフセット電圧VSの負変動によって、このCMOS寄生ダイオードがターンオンすることによりn-層23内に流れ込む電流は、高圧側駆動信号出力用CMOS12をラッチアップさせるトリガー電流として働いてしまう。つまり、この寄生ダイオードの順電流を抑えることは高圧側浮遊オフセット電圧VSの負変動に伴う高圧側駆動信号出力用CMOS12のラッチアップの問題の対策として有効である。

【0047】また、電子線照射およびアニールにより、このCMOS寄生ダイオードの順電流も図1と同様に抑えることができることは、ここで説明するまでもない。つまり、電子線照射およびアニールは、高圧側浮遊オフセット電圧VSの負変動に伴うCMOS寄生ダイオード

の順電流により引き起こされるラッチアップ耐量を向上させる効果も有している。

【0048】従って、本実施の形態に係る半導体装置は、高圧側浮遊オフセット電圧VSの負変動に伴うCMOS寄生ダイオードの順電流により引き起こされるラッチアップ耐量が高い半導体装置である。

【0049】以上のように、実施の形態1に係る半導体装置によれば、高圧側浮遊オフセット電圧VSの負変動に起因する半導体装置の誤動作およびラッチアップの問題を解決することができる。すなわち、高圧側浮遊オフセット電圧VSの負変動に対する誤動作耐量が高い半導体装置を提供することができる。

【0050】<実施の形態2>実施の形態1において説明したように、図8における高圧側駆動信号出力用CMOS12内のpウェル25とn-層23の間の寄生ダイオード(CMOS寄生ダイオード)の順電流値を抑えことにより、高圧側浮遊オフセット電圧VSの負変動に伴う高圧側駆動信号出力用CMOS12のラッチアップを防ぐことができる。実施の形態1においてはその手段として、CMOS寄生ダイオードのライフタイムを短くし、ダイオード中に蓄積されるキャリアの量を抑えることを行った。

【0051】それに対し実施の形態2では、CMOS寄生ダイオードの順電流が流れる経路の抵抗値を大きくすることによって、高圧側浮遊オフセット電圧VSの負変動に伴うCMOS寄生ダイオードの順電流値を抑え、半導体装置の誤動作耐量を向上させる。

【0052】前述したように、高圧側駆動信号出力用CMOS12およびレベルシフト抵抗13からなる高圧側駆動回路は、高圧島としてその周りを基板電位のアルミ配線で囲むことでシールドされている。このアルミ配線は、図8および図9から分かるようにCMOS寄生ダイオードと接地電位GND間に直列に挿入されている。高圧側浮遊オフセット電圧VSの負変動によりCMOS寄生ダイオードに逆バイアスが加わったとき、その順電流はGNDからアルミ配線を介しCMOS寄生ダイオードに流れ込む。

【0053】図3は実施の形態2に係る半導体装置における高圧島に設けられるアルミ配線のレイアウトを示す平面図である。本実施の形態において、アルミ配線3は、断面構造は図8に示したアルミ配線36と同等であるが、図3のように複数個に分割されて配置されている。つまり、各アルミ配線は直接接地電位GNDにコンタクトされているのではなく、GNDとの間にp基板を介している。p基板はアルミ配線に比べ抵抗値が大きいので、このアルミ配線のレイアウトにより、GNDとCMOS寄生ダイオード間の抵抗値は、図9に示した従来のアルミ配線のレイアウトを備える半導体装置に比べ大きくなる。その結果、CMOS寄生ダイオードの順電流が流れる経路の抵抗値が大きくなり、それによってCM

OS寄生ダイオードの順電流値は抑えられる。

【0054】よって、半導体装置の高圧側浮遊オフセット電圧VSの負変動によりCMOS寄生ダイオードがターンオンしたときに、高圧島に流れ込む電流値を抑えることができる。つまり高圧側駆動信号出力用CMOS12のラッチアップの発生を抑えることができる。

【0055】以上のように、実施の形態2に係る半導体装置によれば、高圧側浮遊オフセット電圧VSの負変動によって引き起こされる半導体装置のラッチアップを抑えることができる。すなわち、高圧側浮遊オフセット電圧VSの負変動に対する誤動作耐量が高い半導体装置を提供することができる。

【0056】<実施の形態3>実施の形態3においても、高圧側浮遊オフセット電圧VSの負変動に伴うCMOS寄生ダイオードの順電流値を抑える手段として、CMOS寄生ダイオードの順電流が流れる経路の抵抗値を大きくする。

【0057】図4は実施の形態3に係る半導体装置における高圧島の接合分離部の拡大断面図である。この图において、4はpウェルであり、図8に示したpウェル25の高圧島側をp+拡散層24から分離させ、その間にn-層23を介してた構造となっている。また、31は抵抗である。その以外の要素は、図8に示したものと同符号を付した要素と同等のものであるので、ここでの詳細な説明は省略する。

【0058】このような構成においては、高圧側浮遊オフセット電圧VSの負変動時に、主に高圧島に電流を注入するCMOS寄生ダイオードはpウェル30とn-層22との間に形成され、半導体装置の高圧側浮遊オフセット電圧VSの負変動による順電流はGNDからp基板およびp+拡散層、抵抗31、p+領域38を介してCMOS寄生ダイオードに流れ込む。よって、アルミ配線36とp+拡散層との間に挿入した抵抗を31の抵抗値を大きくすることにより、CMOS寄生ダイオードの順電流経路の抵抗値を大きくできるので、半導体装置の高圧側浮遊オフセット電圧VSの負変動によりCMOS寄生ダイオードがターンオンしたときに、高圧島に流れ込む電流値を抑えることができる。つまり高圧側駆動信号出力用CMOS12のラッチアップの発生を抑えることができる。

【0059】以上のように、実施の形態3に係る半導体装置によれば、高圧側浮遊オフセット電圧VSの負変動によって引き起こされる半導体装置のラッチアップを抑えることができる。すなわち、高圧側浮遊オフセット電圧VSの負変動に対する誤動作耐量が高い半導体装置を提供することができる。

【0060】<実施の形態4>前述したように、パワーデバイス駆動装置に高圧ダイオードをブートストラップダイオードとして搭載すると、高圧側浮遊オフセット電圧VSの負変動に対する高圧側駆動信号出力用CMOS

のラッチアップ耐量が低下してしまうという問題があった。その原因となるのは、高圧側浮遊オフセット電圧VSの負変動時に高圧ダイオードから高圧島内に注入される電流であった。

【0061】従って、ブートストラップダイオードを流れる順電流の値を抑えることによって、ブートストラップダイオードの搭載に伴うラッチアップ耐量の低下を抑えることができる。

【0062】図5は実施の形態4に係る半導体装置における高圧ダイオードの断面図である。図10に示した従来の高圧ダイオードとは、pウェル54内にp+領域55が存在しないこと以外は同じ構成である。つまり、本実施の形態に係る半導体装置のブートストラップダイオードである高圧ダイオードのアノードにはp+領域が存在しない。

【0063】それによって、アノード内へのキャリアの注入が抑えられ、高圧ダイオードを流れる順電流の値が抑えられる。よって、高圧側浮遊オフセット電圧VSの負変動時にブートストラップダイオードから高圧島内に注入される電流を抑えることができ、結果として、ブートストラップダイオードの搭載に伴う、高圧側浮遊オフセット電圧VSの負変動に対する誤動作耐量の低下を抑えることができる。

【0064】以上のように、実施の形態4に係る半導体装置によれば、ブートストラップダイオードの搭載に伴う、高圧側駆動信号出力用CMOSのラッチアップ耐量の低下を抑えることができる。すなわち、ブートストラップダイオードを搭載し、かつ、パワーデバイスを駆動する半導体装置における、高圧側浮遊オフセット電圧VSの負変動に対する誤動作耐量の高い半導体装置を提供することができる。

【0065】なお、実施の形態1の説明で示した電子線照射およびアニールは、ブートストラップダイオードに用いられる高圧ダイオードの順電流の値を抑えることができることは、ここで説明するまでも無い。よって、ブートストラップダイオードに電子線照射およびアニールを施することで、高圧側浮遊オフセット電圧VSの負変動時のブートストラップダイオードを流れる順電流の値を抑えることができ、実施の形態4と同様に、ブートストラップダイオードの搭載に伴う、高圧側駆動信号出力用CMOSのラッチアップ耐量の低下を抑えることができることは明らかである。

【0066】また、実施の形態3と同様な考え方で、高圧ダイオードに直列に、例えば電源と高圧ダイオードのアノード間に抵抗を挿入しても高圧ダイオードの順電流の値を抑えることができることは明らかであり、実施の形態4と同様に、ブートストラップダイオードの搭載に伴う、高圧側駆動信号出力用CMOSのラッチアップ耐量の低下を抑えることができる。

【0067】

【発明の効果】以上説明したように、請求項1に記載の半導体装置によれば、電子線照射およびアニールにより、ライフタイムが抑制されているので、高圧側浮遊オフセット電圧の負変動に伴いターンオンする半導体装置内に存在する寄生ダイオードを流れる電流は抑えられ、また、寄生ダイオード内に蓄積されるキャリアの量も抑えられている。

【0068】よって、高圧側浮遊オフセット電圧の負変動が消滅したときに第1の抵抗を流れる、第2のスイッチング素子の寄生ダイオードの逆回復電流の値は小さくなり、かつ、その逆回復時間は短くなる。よって、第1の抵抗に生じる電圧降下によって引き起こされる第1のスイッチング素子の誤動作を抑えることができる。

【0069】さらに、高圧側浮遊オフセット電圧の負変動時に流れる第1のスイッチング素子の寄生ダイオードを流れる電流が抑えられ、その電流によって引き起こされる第1のスイッチング素子のラッチアップを抑えることができる。

【0070】従って、半導体装置における高圧側浮遊オフセット電圧の負変動に対する誤動作耐量を向上できる。

【0071】請求項2に記載の半導体装置によれば、駆動回路を取り囲むシールド配線が複数個に分割されているので、高圧側浮遊オフセット電圧の負変動に伴いターンオンする第1のスイッチング素子を流れる電流経路の抵抗値が大きくなる。

【0072】よって、高圧側浮遊オフセット電圧の負変動時に流れる第1のスイッチング素子の寄生ダイオードを流れる電流は抑えられ、その電流によって引き起こされる第1のスイッチング素子のラッチアップを抑えることができる。

【0073】従って、半導体装置における高圧側浮遊オフセット電圧の負変動に対する誤動作耐量を向上できる。

【0074】請求項3に記載の半導体装置によれば、接合分離におけるpn接合によって形成される寄生ダイオードに直列に第2の抵抗が挿入されているので、高圧側浮遊オフセット電圧の負変動に伴いターンオンする第1のスイッチング素子を流れる電流経路の抵抗値が大きくなる。

【0075】よって、高圧側浮遊オフセット電圧の負変動時に流れる第1のスイッチング素子の寄生ダイオードを流れる電流は抑えられ、その電流によって引き起こされる第1のスイッチング素子のラッチアップを抑えることができる。

【0076】従って、半導体装置における高圧側浮遊オフセット電圧の負変動に対する誤動作耐量を向上できる。

【0077】請求項4に記載の半導体装置によれば、駆動回路の電源を供給するためのダイオードのアノードで

あるpウェル内にp+拡散層を有さないことでアノード濃度を抑え、ダイオードを流れる電流が抑えられている。従って、高圧側浮遊オフセット電圧の負変動時にダイオードから第1のスイッチング素子に流れ込む電流を抑えることができる。よって、その電流により半導体装置のラッチアップ耐量が低下する問題を解決することができる。

【0078】従って、駆動回路の電源を供給するためのダイオードを備える半導体装置における高圧側浮遊オフセット電圧の負変動に対する誤動作耐量を向上できる。

【0079】請求項5に記載の半導体装置によれば、駆動回路の電源を供給するためのダイオードに直列に第2の抵抗が挿入されているので、高圧側浮遊オフセット電圧の負変動時にダイオードから第1のスイッチング素子に流れ込む電流を抑えることができる。よって、その電流により半導体装置のラッチアップ耐量が低下する問題を解決することができる。

【0080】従って、駆動回路の電源を供給するためのダイオードを備える半導体装置における高圧側浮遊オフセット電圧の負変動に対する誤動作耐量を向上できる。

【0081】請求項6に記載の半導体装置によれば、電子線照射およびアニールにより、ライフタイムが抑制されている、電子線照射およびアニールにより、ライフタイムが抑制されているので、高圧側浮遊オフセット電圧の負変動に伴いターンオンする半導体装置内に存在する寄生ダイオードを流れる電流は抑えられ、また、寄生ダイオード内に蓄積されるキャリアの量も抑えられている。

【0082】よって、高圧側浮遊オフセット電圧の負変動が消滅したときに第1の抵抗を流れる、第2のスイッチング素子の寄生ダイオードの逆回復電流の値は小さくなり、かつ、その逆回復時間は短くなる。よって、第1の抵抗に生じる電圧降下によって引き起こされる第1のスイッチング素子の誤動作を抑えることができる。

【0083】さらに、高圧側浮遊オフセット電圧の負変動時に流れる第1のスイッチング素子の寄生ダイオードを流れる電流が抑えられ、その電流によって引き起こされる第1のスイッチング素子のラッチアップを抑えることができる。

【0084】従って、半導体装置における高圧側浮遊オフセット電圧の負変動に対する誤動作耐量を向上できる。

【0085】請求項7に記載の半導体装置によれば、駆動回路を取り囲むシールド配線が複数個に分割されているので、高圧側浮遊オフセット電圧の負変動に伴いターンオンする第1のスイッチング素子を流れる電流経路の抵抗値が大きくなる。

【0086】よって、高圧側浮遊オフセット電圧の負変動時に流れる第1のスイッチング素子の寄生ダイオードを流れる電流は抑えられ、その電流によって引き起こさ

れる第1のスイッチング素子のラッチアップを抑えることができる。

【0087】従って、半導体装置における高圧側浮遊オフセット電圧の負変動に対する誤動作耐量を向上できる。

【0088】請求項8に記載の半導体装置によれば、接合分離におけるpn接合によって形成される寄生ダイオードに直列に第4の抵抗が挿入されているので、高圧側浮遊オフセット電圧の負変動に伴いターンオンする第1のスイッチング素子を流れる電流経路の抵抗値が大きくなる。

【0089】よって、高圧側浮遊オフセット電圧の負変動時に流れる第1のスイッチング素子の寄生ダイオードを流れる電流は抑えられ、その電流によって引き起こされる第1のスイッチング素子のラッチアップを抑えることができる。

【0090】従って、半導体装置における高圧側浮遊オフセット電圧の負変動に対する誤動作耐量を向上できる。

【図面の簡単な説明】

【図1】 実施の形態1に係る半導体装置のボディー・ドレインダイオードと従来の半導体装置のボディー・ドレインダイオードの順バイアス時における電流-電圧特性を比較するための図である。

【図2】 実施の形態1に係る半導体装置のボディー・ドレインダイオードと従来の半導体装置のボディー・ドレインダイオードの逆回復電流特性を比較するための図である。

【図3】 実施の形態2に係る半導体装置における高圧島に設けられるアルミ配線のレイアウトを示す平面図である。

* 【図4】 実施の形態3に係る半導体装置における高圧島における接合分離部の拡大断面図である。

【図5】 実施の形態4に係る半導体装置における高圧ダイオードの断面図である。

【図6】 従来のパワーデバイスおよびパワーデバイス駆動装置の構成を説明するための概略構成図である。

【図7】 従来のパワーデバイス駆動装置における高圧側駆動部の主要部の回路図である。

【図8】 従来のパワーデバイス駆動装置における高圧側駆動部のレベルシフト回路および高圧側駆動回路の断面図である。

【図9】 従来のパワーデバイス駆動装置における高圧島に設けられるアルミ配線のレイアウトを示す平面図である。

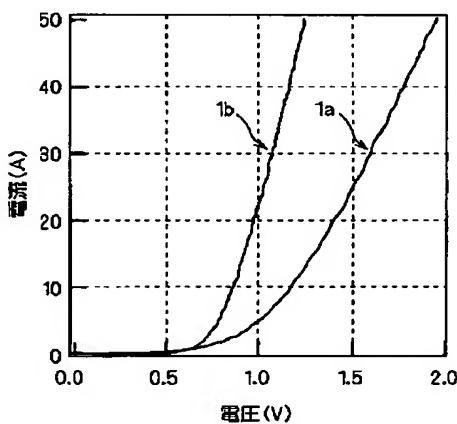
【図10】 従来のパワーデバイス駆動装置のブートストラップダイオードに用いられる高圧ダイオードの断面図である。

【符号の説明】

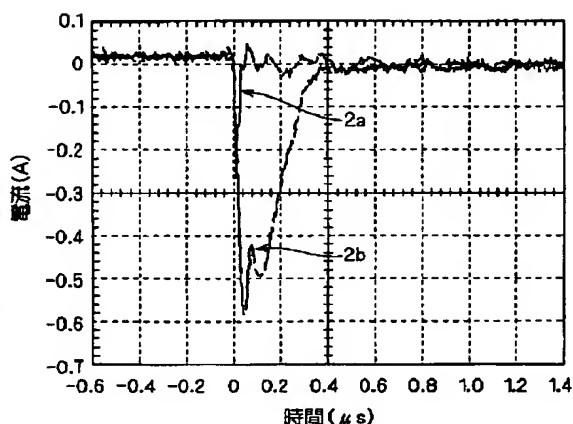
- 1 a 電子線照射およびアニール処理を施した本発明に係る半導体装置の寄生ダイオードの電流-電圧特性、1 b 従来の半導体装置の寄生ダイオードの電流-電圧特性、2 a 電子線照射およびアニール処理を施した本発明に係る半導体装置の寄生ダイオードの逆回復電流特性、2 b 従来の半導体装置の寄生ダイオードの逆回復電流特性、3, 36 アルミ配線、4 pウェル、5 抵抗、21 p基板、23, 53 n-層、24 p+拡散領域、29, 56 n+領域、29, 51 フィールドプレート、30 p+領域、43 ソース電極、50 アノード電極、52 カソード電極、VCC 低圧側固定供給電圧。

*

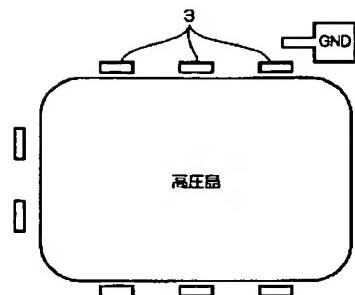
【図1】



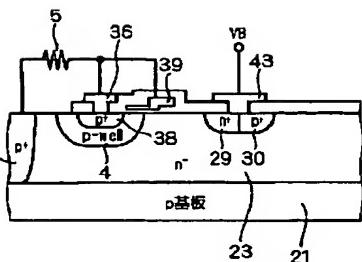
【図2】



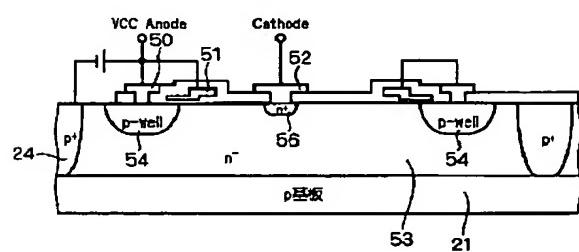
【図3】



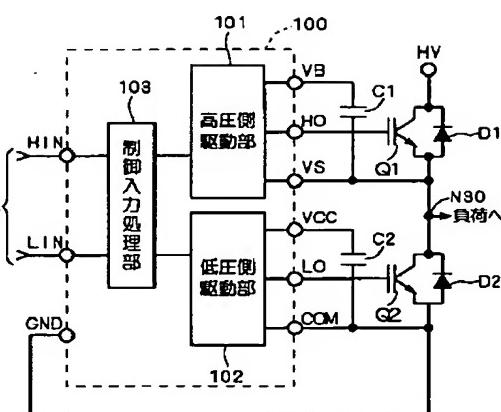
【図4】



【図5】

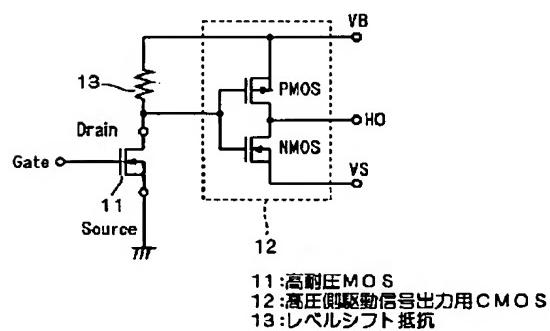


【図6】

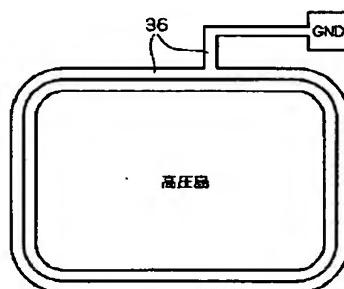


100:パワーデバイス駆動装置

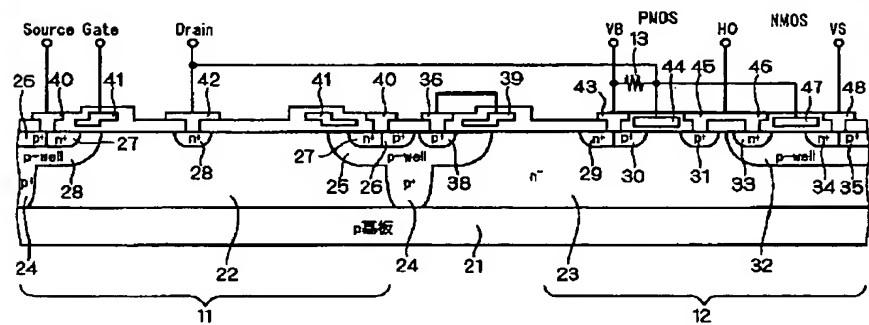
【図7】



【図9】



【図8】



[図10]

